

Sessão II – Processamento de Imagens

Comunicação Técnica

SIBGRAP'91

**ARQUITETURA MULTIPROCESSADORA PARA  
PROCESSAMENTO DE IMAGEM EXPLORANDO  
PROCESSADORES DIGITAIS DE SINAIS**

*Humberto Ferasoli Filho*  
(DC-UNESP-Bauru)

*Renê Pegoraro*  
(DC-UNESP-Bauru)

*Marcelo Nicoletti Franchin*  
(DC-UNESP-Bauru)

*José Hiroshi Saito*  
(DC-UFSCar)

IV Simpósio Brasileiro de Computação Gráfica e Processamento de Imagens

Página em branco na versão original impressa.

ARQUITETURA MULTIPROCESSADORA PARA PROCESSAMENTO DE IMAGEM  
EXPLORANDO PROCESSADORES DIGITAIS DE SINAIS

Humberto Ferasoli Filho

Renê Pegoraro

Marcelo Nicoletti Franchin

Depto. Computação - UNESP Bauru

Av. Eng. Luís Edmundo C. Coube S/N - CEP 17033 - Bauru - SP

José Hiroki Saito

Depto. Computação - UFSCar

Rod. Washington Luis Km235 - CEP 13560 - São Carlos - SP

**ABSTRACT** - In this work a new parallel architecture for image processing, using Digital Signal Processors (DSP), is presented. A Flynn's classification MIMD structured machine, DSPs as processors elements and the bus topology are introduced as the main features of the sistem.

## 1. APRESENTAÇÃO

A arquitetura explora o paralelismo de multiprocessadores, com topologia em barra, num arranjo MIMD segundo a taxonomia de Flynn, interfaceada com um hospedeiro (IBM-PC compatível). As unidades de processamento utilizam processadores digitais de sinais da linha TMS320C30 da Texas Instruments, com uma capacidade de 33MFLOPS de pico. A organização, de quatro DSPs na arquitetura, produz um desempenho próximo de 130MFLOPS de pico para determinadas aplicações.

## 2. OS PROCESSADORES DIGITAIS DE SINAIS

Os processadores digitais de sinais (Digital Signal Processor DSP) são microprocessadores projetados para desempenhar operações matemáticas complexas do domínio analógico, utilizando hardware dedicado ao invés de rotinas de software para executar suas funções. Os mais recentes DSPs exploram os avanços das técnicas de concorrência e da tecnologia VLSI voltadas para o universo da aplicação. O processamento digital de sinais pode ser obtido por microprocessadores que abordam tendências de propósito geral, "Building Block" e "Application-Specific Integrated Circuit" (ASIC). A arquitetura interna baseia-se na arquitetura Harvard e com melhorias como memória "cache" e memória de dados internas ao

"chip", uso de "pipeline", registradores em barril e DMA concorrente, além de um conjunto de instruções dedicadas ao processamento de sinais, que confere aos DSPs um alto desempenho computacional, comparável aos supercomputadores, num único "chip". As medidas de desempenho são, usualmente, tomadas em relação ao tempo para executar uma transformada rápida de Fourier (Fast Fourier Transform FFT) em 1024 pontos complexos, explorando toda a capacidade de operações em ponto flutuante, definindo o "benchmark" para uma aplicação [FREE87]. Entretanto, o processamento de imagem, devido a resolução imposta pela aplicação, envolve uma grande massa de dados requerendo muita potência computacional, impossibilitando o uso de arquiteturas monoprocessadoras na maioria dos casos e tornando necessário o uso de arquiteturas paralelas. A escolha de uma arquitetura paralela depende, obviamente, da aplicação e da relação custo x desempenho imposta pelo projeto. O processamento de imagens é uma área que engloba várias outras, desde processamento de imagem e reconhecimento de padrão até gerenciamento de banco de dados de imagem. O melhor desempenho é obtido com arquiteturas adequadas, sob medida, não havendo uma que satisfaça a toda área de aplicações. Portanto, considerando uma arquitetura com uma estrutura aberta, que possa ser utilizada na maioria das aplicações de processamento de imagem e com custo efetivamente baixo, optamos por uma arquitetura MIMD explorando a tecnologia VLSI através dos DSPs. Entre os vários fabricantes de DSPs que competem no mercado de semicondutores e considerando as características desejáveis descritas em [HIGG90], o TMS320C30 desponta com vantagens sobre os demais além do apoio técnico oferecido.

### 3. A ARQUITETURA

A arquitetura consta dos seguintes módulos: processamento, memória, interfaceamento e arbitração.

**O Módulo de Processamento.** Os processadores trabalham isolados da barra através de elementos "tri-states" comandados pelo sistema de arbitração. Um sistema de "snoop" para minimizar as disputas na barra, detecta alterações em uma posição de memória informando ao processador o ocorrido sem que este processador necessite acessar o barramento, isto é utilizado para melhorar o desempenho em aplicações onde dados compartilhados podem ser trocados para sincronização e troca de mensagem entre processadores, já que estes não dispõem de memória "cache" de dados.

O Módulo de Memórias. Considerando uma imagem típica de TV preto e branco, segundo [GONZ87], que é composta de 512 linhas por 512 colunas com 128 níveis de cinza, obtém-se 262144 "pixels" (picture elements) de 7 bits cada. Desta forma uma memória de 256Kbytes é imprescindível para acomodar um quadro de imagem. Para permitir tratamentos a esta imagem e análises comparativas com outros quadros necessita-se de ao menos 1Mbytes, capaz de comportar três quadros de imagem e 256Kbytes de código e outros dados. Um exemplo desta necessidade pode ser visto em [HIGG90] onde um aplicação de visão de máquina é demonstrada através de aquisições sucessivas de imagens permitindo a análise de trajetória de uma mosca simulando a visão de um sapo.

Este módulo de memória recebe acesso dos processadores da arquitetura através do barramento de 32 bits, que permite também acessos de 8 bits pelo hospedeiro.

O Módulo de Arbitração. Dentre os inúmeros sistemas de arbitração, ver em [DECE89], optou-se pelo "daisy-chain" rotativo pela integração observada da política oferecida pelo árbitro em relação às características das aplicações desejadas, que são normalmente cíclicas, ou seja, devido à dinâmica do algoritmo de tratamento de imagem, os processadores seguem uma ordem sequencial no tratamento de áreas de dados da aplicação, após terem sido definidas as primeiras disputas.

O sistema de arbitração "daisy-chain" rotativo é distribuído por cada módulo processador, facilitando a modularidade do sistema sobre este aspecto.

A prioridade de cada elemento processador, para um dado ciclo do barramento, é determinada pela sua posição ao longo da linha de concessão. Quando um componente do sistema libera a barra, ele terá a prioridade mais baixa.

O Módulo de Interfaceamento Hospedeiro/Arquitetura Paralela. O sistema de interface compatibiliza a barra de 32 bits do sistema paralelo em quatro partes de 8 bits para adequar ao tamanho da palavra do computador hospedeiro. Sendo o hospedeiro um IBM-PC ou compatível, o acesso à memória é feito através do "Expanded Memory System" ou EMS que é um esquema de mapeamento de memória usado para mapear um bloco de 64K bytes na área de D0000H a DFFFFH segmentada em quatro páginas de 16K bytes. Cada segmento de 16K bytes pode ser

mapeado em qualquer área da memória compartilhada pela arquitetura paralela.

#### 4. DESEMPENHO

Uma estimativa de desempenho para uma imagem de 512 x 512 "pixels" numa transformada rápida de Fourier realizada pela arquitetura admite no máximo 8 processadores (mantendo o máximo aproveitamento de cada processador) e utiliza um lapso de tempo de 237,27ms para a execução fornecendo uma utilização de 94% dos processadores. Os valores obtidos acima levam em consideração o seguinte:

- 1- O ciclo de leitura ou escrita da memória principal compartilhada é de 210ns (inclusive o tempo do controlador de DRAM).
- 2- A leitura ou escrita das linhas ou colunas da imagem feitas por DMA, são concorrentes ao processamento.
- 3- O tempo de processamento de FFT utilizando pontos complexos de uma linha de imagem na memória interna do DSP é de 1,740ms [TEXA88].
- 4- Tempo de carga da "cache" de instruções é desprezível.
- 5- Atributos implementados a nível de hardware permitem manipular sequencialmente linhas ou colunas da imagem.
- 6- O cálculo de uma FFT bidimensional é feito segundo o método apresentado em [GONZ87]

#### 5. CONCLUSAO

Acreditamos que o arranjo de unidades DSPs no processamento de imagens é muito promissor fornecendo alto desempenho com simplicidade de implementação e baixo custo.

#### 6. REFERENCIAS BIBLIOGRAFICAS

- [DECE89] DeCegama, A. L. - Parallel Processing Architectures and VLSI Hardware - Vol. 1, Prentice-Hall, 1989
- [FREE87] Freer, J. - Systems Design with Advanced Microprocessors - Pitman, 1987
- [GONZ87] Gonzalez, R. C. - Digital Image Processing - Addison - Wesley, 1987
- [HIGG90] Higgins, R. J. - Digital Signal Processing in VLSI - Prentice-Hall, 1990
- [TEXA88] TMS320C3x User's Guide - Texas Instruments - 1988