

**O PROCESSADOR GRÁFICO TMS34010 - UMA ARQUITETURA PARA
VISUALIZAÇÃO DE IMAGEM EM TOMOGRAFIA POR RMN**

AUTORES: Jan Frans Willem Slaets

Maria Stela Veludo de Paiva

Lírio O. B. de Almeida

- Instituto de Física e Química de São Carlos

Universidade de São Paulo

Av. Dr. Carlos Botelho, 1465 - C.P. 369

13560 - São Carlos, SP

SUMÁRIO

Neste resumo é apresentada a descrição do sistema mínimo implementado com o processador gráfico TMS34010, que deverá ser utilizado na reconstrução, tratamento e interpretação de imagens obtidas por Tomografia por RMN. O projeto está sendo desenvolvido no LIE (Laboratório de Instrumentação Eletrônica), do IFQSC, e já se encontra em operação.

1. DESCRIÇÃO DO SISTEMA MÍNIMO IMPLEMENTADO

O TMS34010 é um processador gráfico, com capacidade de endereçamento de 512 Mbytes, contendo um conjunto de características que o tornam ideal para as mais diversas aplicações gráficas.

Com este processador foi implementado o sistema mínimo sugerido pelo fabricante, e ligado a um microcomputador XT2002 operando na frequência de 4,77MHz. A figura 1 mostra o diagrama em blocos do sistema mínimo, e a descrição do mesmo é apresentada nos itens seguintes.

1.1 INTERFACE PARA O "HOST"

O 34010 apresenta facilidades de comunicação com um "host" de 8 ou 16 bits. O "host" pode se comunicar indiretamente com as memórias do 34010 via 4 registradores:

HSTADRL e HSTADRH - estes dois registradores contêm os 16 LSB e os 16 MSB de um ponteiro de endereço de 32 bits, usado para o endereçamento indireto da memória local do 34010.

HSTDATA - este registrador é usado para a transferência de dados do "host" para a memória local do 34010, ou vice versa.

HSTCTL - este registrador controla diversas funções do 34010 tais como interrupção, halt, cache e mensagens.

Estes registradores devem ser mapeados no espaço de endereço do "host", mas também podem ser acessados pelo 34010. A seleção de um deles para leitura ou gravação, pelo "host", é feita através das 16 linhas de dados e 9 linhas de controle, que compreendem a interface de controle para o "host".

Para o sistema mínimo implementado, a transferência de informação do "host" para os registradores do 34010 é feita de 8 em 8 bits, e os bytes mais e menos significativos são selecionados por dois sinais do duto de controle, HUDS e HLDS (fig. 2).

Para a leitura ou gravação de informações no sistema mínimo, foi utilizado o seguinte procedimento:

a) programação do registrador HSTCTL, via "host", para a seleção da operação a ser realizada (leitura ou gravação), com ou sem o auto incremento do endereço.

b) programação dos registradores HSTCTLH e HSTCTLL com a posição de memória do 34010, a partir da qual será lido ou gravado um dado. Estes registradores são acessados pelos endereços C7E00H e C7F00H do XT2002.

c) leitura ou gravação dos dados, através do HSTDATA, acessado pelo endereço C7000H do XT2002. Neste caso a leitura ou gravação será feita a partir do endereço especificado em HSTADRL e HSTADRH.

Todos os registradores de I/O podem ser programados via "host", seguindo este procedimento.

O sistema mínimo não inclui memória do tipo ROM, e assim deve ser colocado em "halt", aguardando instruções do "host" para iniciar a execução de um programa.

Após "reset", mantendo-se o pino de seleção do 34010 (HCS) em "1", o 34010 automaticamente entra no estado "halt", e desta maneira o seguinte procedimento pode ser usado para gravar e executar um programa:

- a) programar o registrador de controle HSTCTL
- b) programar os registradores de I/O e a "color palette"
- c) gravar o programa
- d) gravar o endereço inicial do programa no endereço de desvio da interrupção NMI.
- e) ativar a interrupção NMI e o modo de interrupção
- f) desabilitar o estado "halt"

Após a execução do item f, a interrupção NMI será atendida. Esta interrupção tem a prioridade mais alta e não pode ser desativada. Ao ser atendida, o 34010 busca o vetor de interrupção do endereço de desvio de NMI e armazena-o no PC. Em seguida, o 34010 começa a executar a instrução apontada pelo PC.

1.2 BARRAMENTO DA MEMÓRIA LOCAL

A figura 3 mostra a interligação da memória do sistema e memória de vídeo, ao barramento do 34010. Na figura 4 é mostrado o mapeamento destas memórias. Como o 34010 apresenta facilidades de interligação com memórias dinâmicas, foi utilizada a TMS4464 (64Kx4) como memória de sistema, e a TMS4461 (64Kx4) como memória de vídeo. Esta última é específica para aplicações de vídeo.

O refrescamento destas memórias é realizado automaticamente pelo 34010. Após "reset", são executados 8 ciclos de memória "RAS-ONLY", para levá-las aos seus estados iniciais, e em seguida os ciclos de refrescamento são executados automaticamente a cada 32 ciclos de clock.

É também possível programar os registradores de I/O dedicados a memória, para outra taxa de refrescamento.

É importante salientar que quando a entrada "reset" do 34010 torna-se ativa, o refrescamento não é executado e o conteúdo das memórias dinâmicas pode não ser válido após "reset".

O barramento LADO LAD15 é tri multiplexado, sendo gerado primeiramente o endereço das linhas, em seguida o das colunas e finalmente os 16 bits de dados. A geração do endereço não é a convencional, sendo que os 4 LSB do endereço não se encontram disponíveis externamente, já que o endereçamento da palavra (16 bits) é feito internamente, a nível de bit.

Com relação as memórias de vídeo, os 64kx16, permitem obter uma imagem, com pixel de 4 bits, em tela com resolução de até 512x512 pixels (ou

1024x256). As características do monitor de vídeo e o "dot-clock" é que definirão a possibilidade de visualizar a imagem com esta resolução. O monitor utilizado (Videocompo C14) permitia uma resolução de 512x256. Assim, com a quantidade de memória acima especificada até 2 telas diferentes podiam ser armazenadas.

1.3 SINAIS DE TIMING DE VÍDEO

O 34010 gera os sinais de sincronismo horizontal, vertical e o "blanking" (HSYNC, VSYNC e BLANK), a partir dos valores programados anteriormente pelo usuário, no conjunto de registradores de I/O, dedicados a esta função. A lógica interna para a geração destes sinais é alimentada pelo sinal de clock VCLK, derivado do "dot clock" do sistema de vídeo externo.

No sistema implementado, para a visualização da imagem, foi ligado o monitor de vídeo Videocompo C14, que permite o uso do modo CGA OU EGA. Assim, para avaliar as mudanças a serem feitas a nível de hardware e software, cada um dos modos foi programado no 34010, mantendo-se nas duas situações 512pixels/linha e 4 bits/pixel. Verificou-se que para o modo CGA, o sinal HSYNC do 34010 deve ser invertido para se tornar compatível com o monitor, enquanto que para o modo EGA, os sinais HSYNC e VSYNC devem ser invertidos, além de ser necessário o aumento do "dot clock". As figuras 5 e 6 ilustram a ligação do 34010 ao monitor, para cada um dos modos. Nestas figuras fh e fv representam a frequência do sincronismo horizontal e vertical respectivamente, e HTOTAL e VTOTAL são os registradores de I/O para vídeo.

No cálculo do valor dos registradores de I/O dedicados aos sinais de sincronismo para vídeo, verificou-se que a duração do retraço horizontal é bastante crítica para o sincronismo. Dificuldades foram encontradas no cálculo destes valores e um exemplo é mostrado a seguir, para monitores CGA, considerando:

$$\begin{aligned} \text{VCLK} &= 2.5\text{MHz} \\ \text{fh} &= 15750\text{Hz} \\ \text{fdot} &= 10\text{MHz} \end{aligned}$$

- a) Cálculo de HTOTAL - HTOTAL determina o período do sincronismo horizontal

$$\text{HTOTAL} = \frac{\text{VCLK}}{\text{fh}} = (158,73)_{10} = 9\text{EH}$$

- b) Cálculo de HEBLNK e HSBLNK - estes registradores determinam a duração do retraço horizontal

$$HBLNK = HEBLNK + HSBLNK''$$

$$NP = \text{n.o de pixels/linha} = \frac{f_{dot}}{f_h} = \frac{10\text{MHz}}{15750} = 634,92$$

$$HBLNK = HTOTAL * \frac{(NP - 512)}{NP} = (30,73)_{10}$$

$$HEBLNK = (26) = 1AH$$

$$HSBLNK'' = 4$$

$$HSBLNK = HTOTAL - HSBLNK'' = (158,73 - 4) = 9AH$$

- c) Cálculo de VTOTAL - este registrador determina o período do sincronismo vertical

$$VTOTAL = \frac{f_h}{60\text{Hz}} = 262,5 = 105H$$

- d) Cálculo de VSBLNK e VEBLNK - estes registradores determinam a duração do retraço vertical

$$VBLNK = VEBLNK + VSBLNK'' = 1,1\text{ms (dado do manual do monitor)}$$

$$VBLNK = (1,1\text{ms}) * f_h = 17,32 \text{ linhas horiz.}$$

$$VEBLNK = 10 = 0AH$$

$$VSBLNK = VTOTAL - 7 = FFH$$

1.4 INTERFACE PARA SAÍDA DE VÍDEO

Para a geração do sinal de vídeo, os pixels são transferidos dos registradores internos as VRAM's, para a Color Palette (TMS4070), através de dois multiplexers (fig. 7).

O 34070 contém uma tabela de cores (look-up table), endereçável pelos dados de entrada DA3 - DAO e DB3 - DBO, e gera três sinais analógicos nas saídas R, G e B, adequados para monitores do tipo RGB, e operando em frequência máxima de 36MHz. Isto corresponde a uma resolução do "display" de aproximadamente 800x600 pixels. Interno ao 34070, há 16 registradores de 14 bits, possibilitando a obtenção simultânea de até 16 cores diferentes, selecionadas entre as 4096 possíveis.

No sistema implementado, a "look-up table" é carregada a cada retraço vertical, com os dados já armazenados anteriormente na primeira linha horizontal. É também possível carregá-la a cada retraço horizontal.

A fim de visualizar os sinais analógicos RGB, foi necessário modificar o monitor Videocompo, que na sua versão comercial aceita apenas níveis TTL para RGB.

1.5 SOFTWARE DE SUPORTE

Os seguintes programas foram fornecidos pelo fabricante:

- a. SDBL - permite carregar um programa objeto, com código do 34010, para a memória do sistema implementado.
- b. GSPA - assembler do 34010
- c. GSPLNK - linker do 34010
- d. GSPSIM - simulador do 34010
- e. INTERP - demonstrativo das funções gráficas

2. ESTÁGIO ATUAL DO PROJETO

O sistema mínimo já se encontra em pleno funcionamento.

Após ser implementado, foi inicialmente verificada a comunicação com o "host", utilizando-se para isso o DEBUG do 8086. Em seguida, o programa INTERP foi carregado através do SDBL, para a memória do sistema mínimo. Algumas modificações importantes foram feitas no programa INTERP a fim de conseguir visualizar a imagem:

- a) o endereço inicial para se armazenar os valores da Palette, foi modificado para 00000000H, já que foi este o endereço inicial estabelecido para a memória de vídeo;
- b) o ponteiro da pilha foi estabelecido para o fim da memória de sistema;
- c) os valores dos registradores de I/O foram modificados para os valores que haviam sido calculados, considerando as características do sistema implementado.

A seguir, foi desenvolvido um programa para desenhar um padrão com as cores programadas na Palette, e um programa para mostrar alternadamente a imagem dos dois bancos de memória.

Atualmente o sistema mínimo encontra-se em operação, com as seguintes características:

INCLK : 20MHz

MEMÓRIA DE SISTEMA : 64K

MEMÓRIA DE VÍDEO : 64K

fdot : 10MHz

MONITOR : Videocompo C14, modo CGA

RESOLUÇÃO DA TELA : 512x256, 4bits/pixel

3. BIBLIOGRAFIA

- 3.1 SLAETS, J. F.; PAIVA, M. S. V. - Desenvolvimento de Uma Arquitetura de Computador, Dedicada Para o Tratamento de Imagem em Tomografia por RMN . 1o. Simpósio Brasileiro de Computação Gráfica e Processamento de Imagem, 19 a 20 de Abril de 1988.
- 3.2 TEXAS INSTRUMENTS - TMS34010 Assembly Language Tools - User's Guide.
- 3.3 TEXAS INSTRUMENTS - TMS34010 User's Guide.
- 3.4 TEXAS INSTRUMENTS - TMS34010 512x512 Pixel Minimum Chip Graphics System - Product Application.

FIGURAS

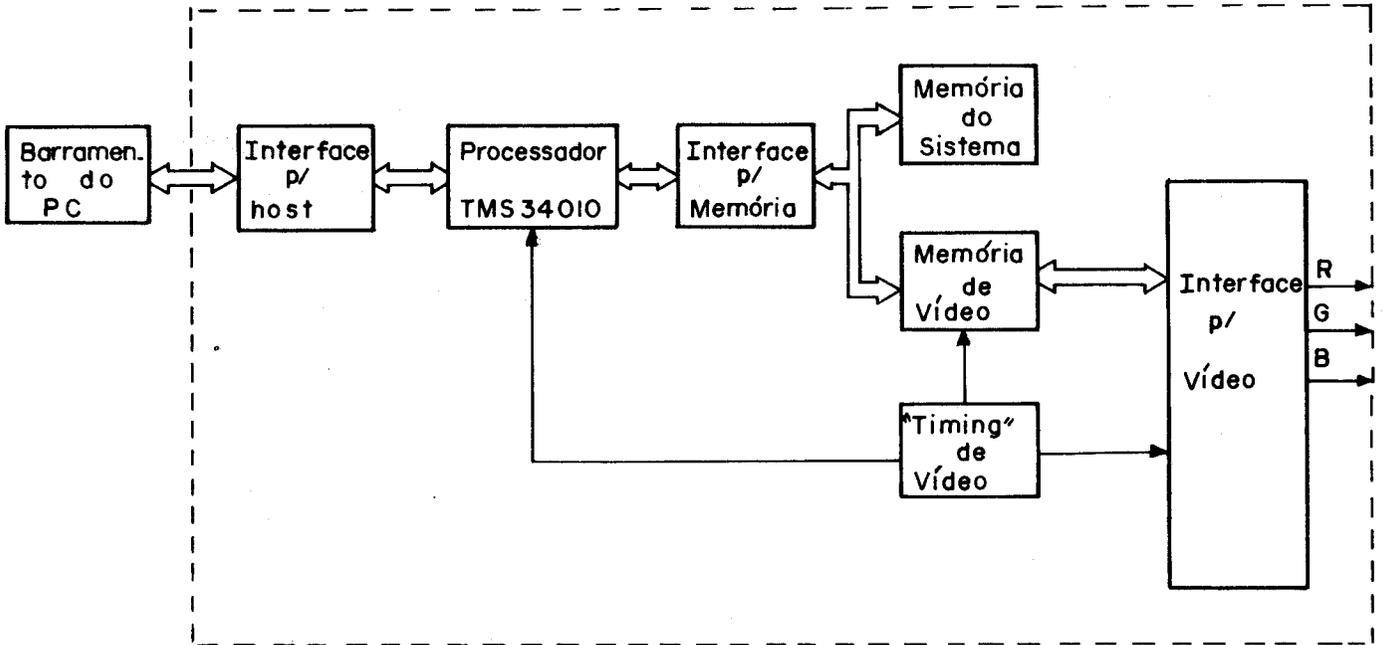


Fig. 1 - DIAGRAMA EM BLOCOS DO SISTEMA MÍNIMO

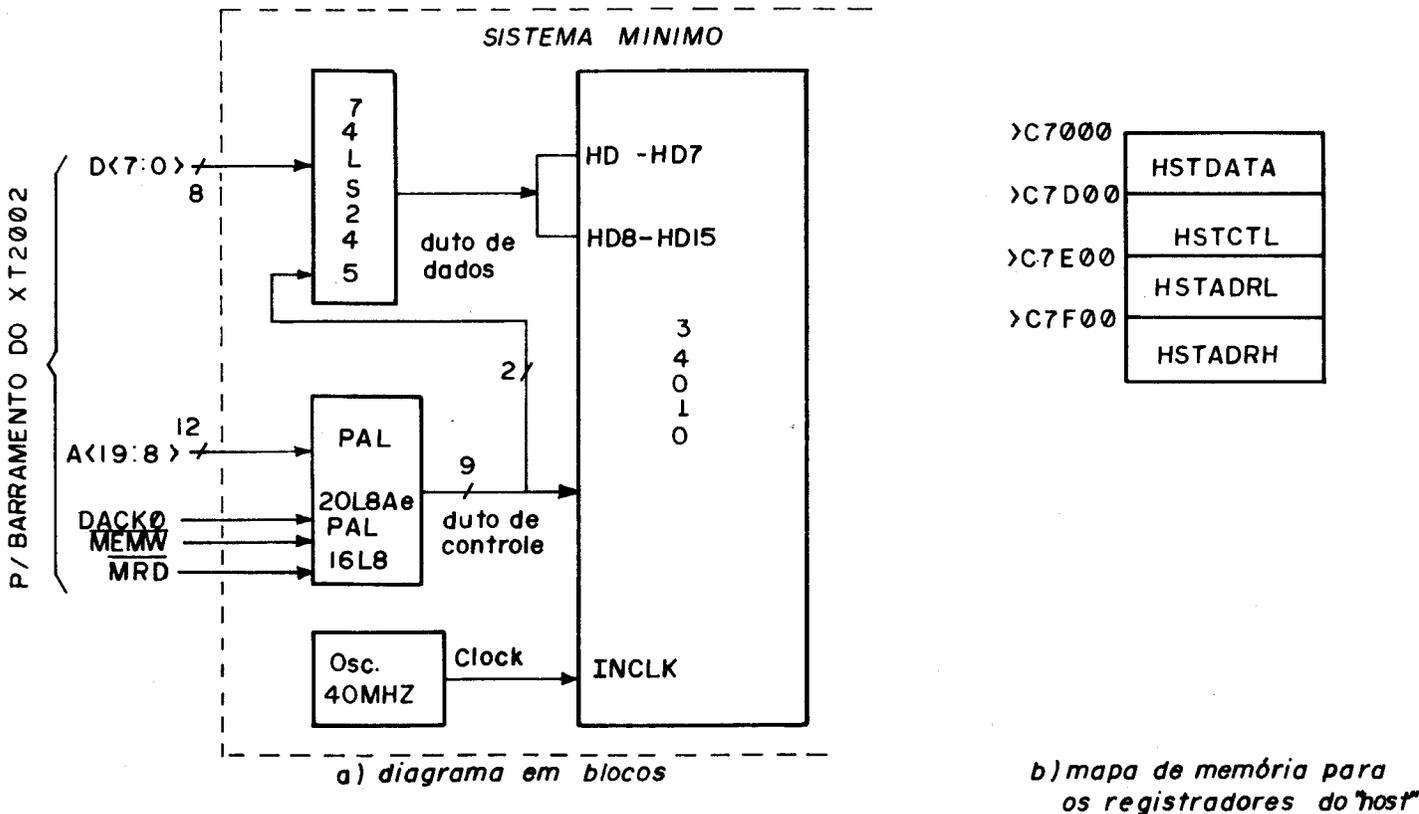


Fig. 2- INTERFACE PARA O "HOST"

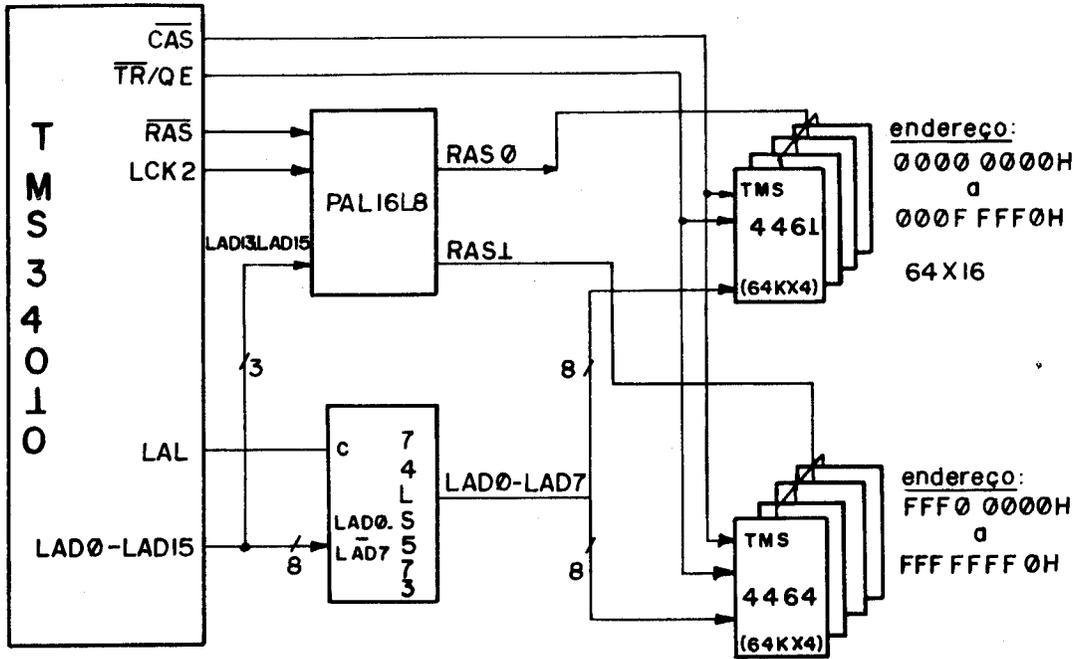


Fig. 3 - INTERFACE PARA A MEMÓRIA LOCAL

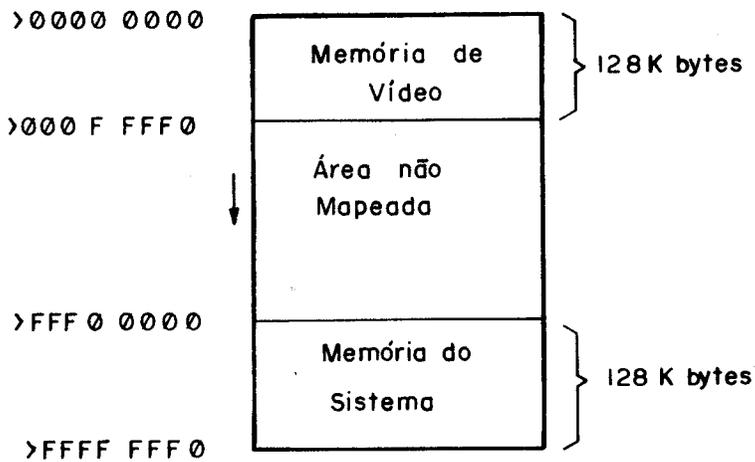
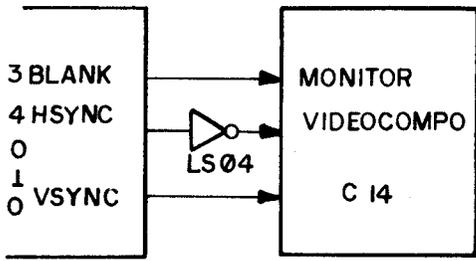


Fig. 4 - MAPEAMENTO DAS MEMÓRIAS



Dot clock : 10MHz

Resolução : 512 x 256 (4 bits / pixel)

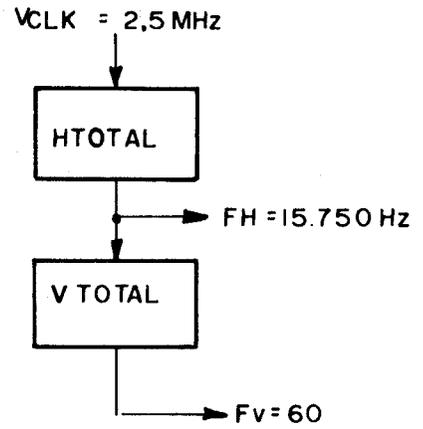
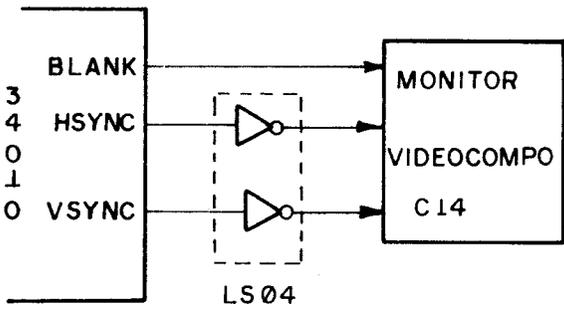


Fig. 5— MONITOR NO MODO CGA



VCLK = 3,750 MHz

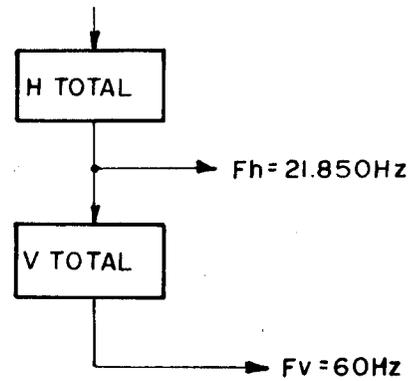


Fig. 6— MONITOR NO MODO EGA

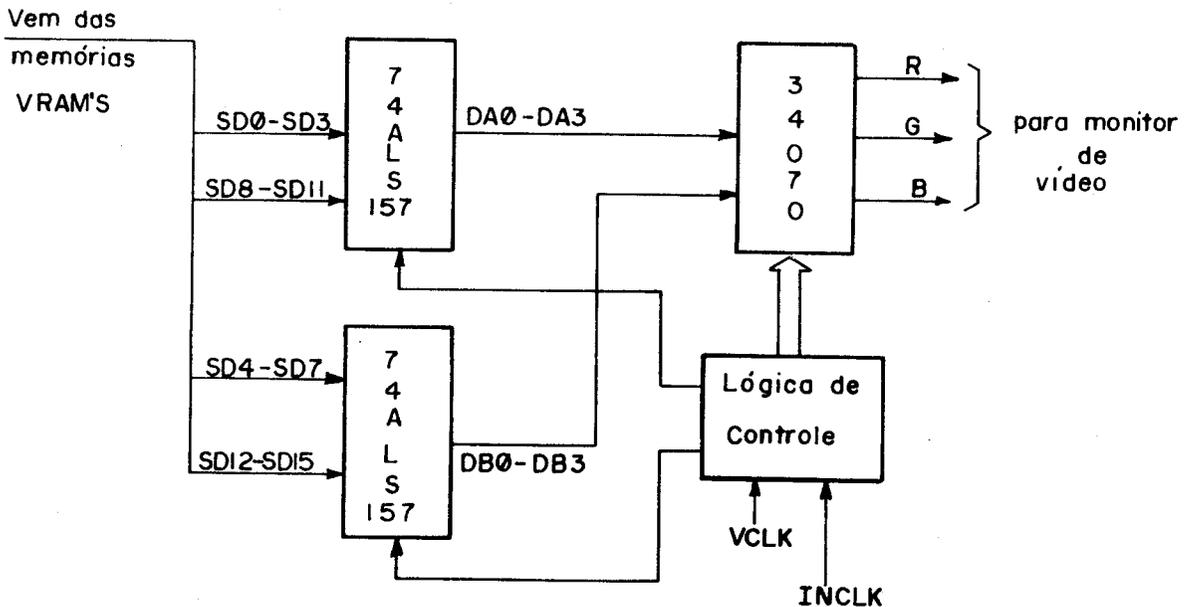


Fig. 7— INTERFACE PARA O VÍDEO.