

Subsistema de Exibição de Imagens Matriciais com Desacoplamento de Resolução

CARLOS AUGUSTO PAIVA DA SILVA MARTINS (1,2)
JOÃO ANTÔNIO ZUFFO (1)

(1) Escola Politécnica da Universidade de São Paulo
LSI - Laboratório de Sistemas Integráveis
Divisão de Sistemas Digitais
Av. Prof. Luciano Gualberto, travessa 3, n.158
05508-900 - São Paulo, SP, Brasil
{capsm, jazuffo}@lsi.usp.br

(2) Pontifícia Universidade Católica de Minas Gerais
Departamento de Ciência da Computação

Abstract. This paper shows the proposal for a raster image display subsystem architecture with decoupling between frame-buffer and display resolutions. The used decoupling resolution method was implemented in software formerly. Our main goal is to display images with high visual quality, eliminating frame-buffer performance problems. This subsystem is composed by frame-buffer, video controller, reconstructor circuit, and digital analog converter. We model and simulate this architecture using VHDL hardware description language. Based in results of this validation, we conclude that the proposed architecture implements the decoupling resolution correctly. Improvements should be done, but early results are very expressive.

Keywords: Image display dedicated architecture, Image display subsystem, Decoupling resolution.

1 Introdução

A alguns anos as imagens analógicas predominavam, entretanto, atualmente as imagens digitais são manipuladas e processadas em quase todas as áreas do conhecimento. Estas imagens digitais são a base de quase todas as aplicações relacionadas a computação gráfica, processamento de imagens, visualização científica e multimídia distribuída.

Entre os defeitos que degradam a qualidade das imagens exibidas nestas aplicações podemos destacar o efeito de serrilhamento, que é citado na literatura como um dos principais defeitos dos sistemas matriciais de exibição de imagens [FOLE90].

Um novo método de desacoplamento entre as resoluções de armazenamento na memória de quadro e do dispositivo de exibição mostrou-se muito melhor que o método usado atualmente, eliminando alguns defeitos como o efeito de serrilhamento existente nos dispositivos matriciais de exibição de imagens.

O objetivo principal deste trabalho é exibir imagens digitais com alta qualidade visual, eliminando os problemas de desempenho relacionados a memória de quadro. A hipótese inicial é que usando o método de

desacoplamento de resolução em conjunto com uma técnica de reconstrução de imagens otimizada, podemos exibir imagens de alta qualidade sem gerar alta demanda pela memória de quadro.

A memória de quadro pode tornar-se um dos principais gargalos num sistema de geração, manipulação, processamento e exibição de imagens; pois é disputada pelos módulos funcionais que geram as imagens e pelo subsistema de exibição. Quanto maior é a resolução da imagem, menor é o tempo disponível para o acesso à memória de quadro, aumentando ainda mais o gargalo.

2 Método de desacoplamento de resolução

Um aspecto importante na manipulação de imagens analógicas é o forte acoplamento entre as representações destas imagens. Como por exemplo, na transmissão de imagens analógicas a sincronização é rígida. Este forte acoplamento pode ser modelado como um mapeamento um para um entre os pontos que formam as várias representações das imagens. Entretanto, na manipulação de imagens digitais este forte acoplamento não é necessário.

Analisando-se o problema do acoplamento entre as representações das imagens usando-se o teorema da amostragem, observamos que a imagem exibida deve possuir um número maior de pixels que a imagem digital. Pois no teorema da amostragem os pontos amostrados são usados no cálculo dos pontos interpolados que são inseridos entre os pontos amostrados para formar o sinal reconstruído.

3 Arquitetura proposta

A arquitetura projetada se baseia no desacoplamento entre as resoluções das imagens armazenada na memória de quadro e exibida no dispositivo de exibição matricial, e no uso de uma resolução de exibição sempre maior que a resolução de armazenamento na memória de quadro. Deste modo no método de desacoplamento devemos usar alguma técnica de reconstrução (interpolação) de imagens. A técnica de reconstrução usada neste artigo foi apresentada e validada anteriormente [MART94] [MART95a].

Esta arquitetura é composta dos seguintes blocos funcionais: interface com o sistema gerador de imagem, memória de quadro, controlador de vídeo, circuito reconstrutor e conversor digital analógico. O diagrama de blocos da arquitetura do subsistema de exibição de imagens matriciais é apresentado na fig. 1.

A memória de quadro armazena os pontos que formam a imagem digital, e não existe um forte acoplamento entre sua resolução e a resolução de exibição. O controlador de vídeo gerencia o processo de exibição, busca os valores na memória de quadro e envia ao circuito reconstrutor. O circuito reconstrutor gera os pontos interpolados a partir dos pontos recebidos da memória de quadro e envia o sinal reconstruído ao conversor digital analógico. O conversor digital analógico transforma o sinal reconstruído em sinal analógico que é enviado ao dispositivo de exibição de imagens.

4 Validação da arquitetura proposta

Na etapa atual da pesquisa modelamos e simulamos a arquitetura proposta em alto nível de abstração usando a linguagem de descrição de hardware VHDL.

Como os resultados das simulações comportamental e estrutural, foram iguais aos resultados obtidos na implementação em software já validada anteriormente [MART95b], concluímos que a implementação do processo de exibição de imagens com desacoplamento de resolução foi perfeito.

5 Conclusão

Com base nos resultados da validação, concluímos que a arquitetura proposta implementa a exibição de imagens usando desacoplamento de resolução corretamente. Além disso a implementação em hardware é otimizada em relação a implementação em software.

Este subsistema de exibição de imagens pode ser usado como parte de qualquer sistema gráfico matricial. E possui como características principais a alta qualidade das imagens exibidas, e uma grande redução na demanda pela memória de quadro. Deste modo, como a hipótese inicial foi comprovada, o objetivo principal foi alcançado.

A linguagem de descrição de hardware VHDL mostrou-se adequada ao projeto deste tipo de arquitetura dedicada.

Nas próximas fases devemos modelar e validar todos os demais blocos funcionais com o mesmo nível de detalhe aplicado aos blocos modelados e validados até esta fase do projeto.

6 Referências Bibliográficas

[FOLE90] FOLEY, J. D.; VAN DAM, A.; FEINER, S. K.; HUGHES, J. F. Computer graphics - principles and practice. 2 ed., Addison-Wesley, 1990.

[MART94] MARTINS, C. A. P. S., O efeito de serrilhamento em dispositivos matriciais de exibição de imagens como erro de reconstrução, Dissertação (Mestrado), PPGEE-UFMG, Belo Horizonte, 1994.

[MART95a] MARTINS, C. A. P. S. & ZUFFO, J. A. O reconstrutor sinc finito amostrado normalizado bidimensional, São Carlos, outubro 1995, VIII Simpósio Brasileiro de Computação Gráfica e Processamento de Imagens (SIBGRAPI 95), pp. 297-298

[MART95b] MARTINS, C. A. P. S.; KIATAKE, L. G. G.; CINTRA, M. H.; KOFUJI, S.T. An optimized technique for image manipulation in distributed multimedia systems, Campos de Jordão, agosto 1995, Simpósio Nipo-Brasileiro de ciência e tecnologia: Informática - Telecomunicações, pp. 236-244

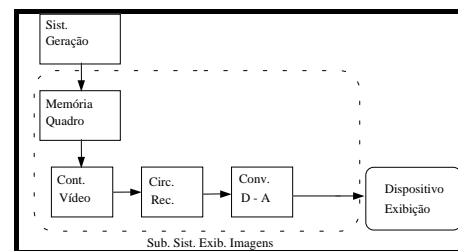


Fig. 1 Diagrama de blocos da arquitetura proposta